



(19)

(11) Publication number: 04116984 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 02237347

(51) Intl. Cl.: H01L 29/784

(22) Application date: 07.09.90

(30) Priority:  
(43) Date of application publication: 17.04.92  
(84) Designated contracting states:

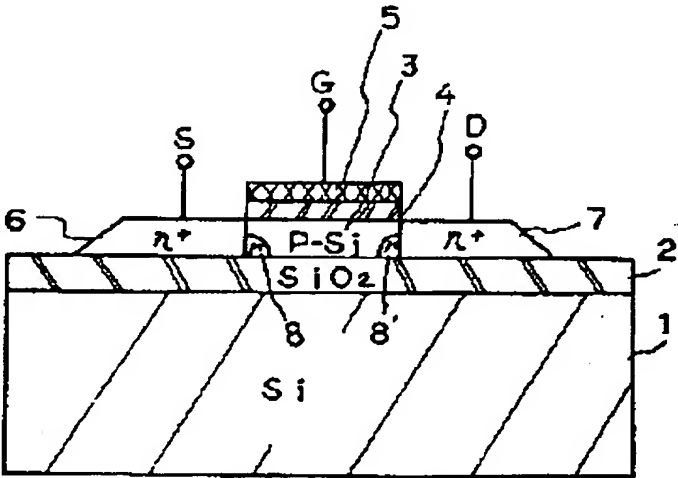
(71) Applicant: SEIKO EPSON CORP  
(72) Inventor: IWAMATSU SEIICHI  
(74) Representative:

(54) N-CHANNEL MOS THIN FILM SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To perform an N-channel MOS type thin film transistor having high OFF withstand voltage by providing a P+ type diffused layer under a gate adjacent to an N+ type source diffused layer in an N-channel MOS type thin film semiconductor device.

CONSTITUTION: A P-type thin Si film 3, is formed on an SiO<sub>2</sub> film 2 formed on an Si substrate 1, and a gate electrode 5, and an N+ type source diffused layer 6, an N+ type drain diffused layer 7 are formed. Further, P+ type diffused layers 8, 8' are formed by an oblique ion implanting method, etc., in such a manner that the layer 8 is adjacent to the layer 6. Thus, the layer 8 is formed so that holes are sunk, thereby improving its OFF withstand voltage.



COPYRIGHT: (C)1992,JPO&Japio

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**  
**Publication No. 4-116984**

**1. Title of the Invention**

n-channel MOS type thin film semiconductor device

**2. Claim**

A n-channel MOS type thin film semiconductor film, characterized by having a  $p^+$  diffusion layer which is located under a gate and adjacent to at least a  $n^+$  source diffusion layer.

**3. Detailed Description of the Invention**

**[Industrial Field of Utilization]**

The present invention relates to a structure of a n-channel MOS type thin film semiconductor device.

**[Prior Art]**

In a conventional n-channel MOS type thin film semiconductor device, a p-type Si thin film 13 is formed on a  $SiO_2$  film 12 formed on a surface of a Si substrate 11 and a gate  $SiO_2$  film 14, a gate electrode 15, a  $n^+$  source diffusion layer 16 and a  $n^+$  drain diffusion layer 17 are formed on the p-type Si thin film, as shown in a sectional view of Figure 2.

[Problems that the Invention is to solve]

However, the above conventional device involves a problem that an off withstanding voltage is lowered because of injection of a hole from a drain into a substrate and accumulation thereof.

An object of the present invention is to solve the problem involved in the conventional one and to provide a structure of a n-channel MOS type thin film transistor having high withstanding voltage.

[Means of Solving the Problems]

In order to solve the problem and attain the object, the present invention provides a n-channel MOS type thin film semiconductor film in which a  $p^+$  diffusion layer is arranged under a gate and adjacent to at least a  $n^+$  source diffusion layer.

[Embodiments]

The present invention will be described in detail with reference to an example thereof.

Figure 1 is a sectional view of a n-channel MOS type thin film transistor illustrating an embodiment of the present invention. A p-type Si thin film 3 is formed on a  $\text{SiO}_2$  film 2 formed on the surface of a Si substrate 1, and the gate electrode 5, a  $n^+$  source diffusion layer 6 and a  $n^+$  drain diffusion layer 7 are formed on the p-type Si thin film 3. This structure is the same as that in a conventional one. However, in the present invention, in addition thereto, at least a  $p^+$  diffusion layer 8 of the  $p^+$  diffusion layers 8 and 8' is formed adjacent to the  $n^+$  source diffusion

layer 6 by inclined ion implantation method or the like, whereby the  $p^+$  diffusion layer 8 serves as a sink (intake port) of a hole. As a result, an off withstanding voltage of approximately 5.5 V to 10 V can be achieved in the present invention, in comparison with the off withstanding voltage of approximately 5 V in the conventional structure. It is to be noted that the  $p^+$  diffusion layer 8 may be extended under the  $n^+$  source diffusion layer 6 or the like.

#### [Effect of the Invention]

The present invention has an effect of raising the off withstanding voltage of the n-channel MOS type transistor.

#### 4. Brief Explanation of the Drawings

Figure 1 is a sectional view of the n-channel MOS type thin film transistor illustrating an example of the present invention.

Figure 2 is a sectional view of the n-channel MOS type thin film transistor according to the prior art.

- 1, 11. Si substrate
- 2, 12.  $\text{SiO}_2$  film
- 5, 15 p-type Si thin film
- 4, 14 gate  $\text{SiO}_2$  film
- 5, 15 gate electrode
- 6, 16  $n^+$  source diffusion layer
- 7, 17  $n^+$  drain diffusion layer
- 8, 18  $p^+$  diffusion layer

## ⑫ 公開特許公報(A)

平4-116984

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月17日

H 01 L 29/784

9056-4M H 01 L 29/78 3 1 1 H

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 NチャネルMOS型薄膜半導体装置

⑯ 特 願 平2-237347

⑰ 出 願 平2(1990)9月7日

⑱ 発 明 者 岩 松 誠 一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

## 1. 発明の名称

NチャネルMOS型薄膜半導体装置

## 2. 特許請求の範囲

少なくとも $n^+$ ソース拡散層に隣接したゲート下に $p^+$ 拡散層を有する事を特徴とするNチャネルMOS型薄膜半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はNチャネルMOS型薄膜半導体装置の構造に関する。

〔従来の技術〕

従来、NチャネルMOS型薄膜半導体装置は第2図に断面図で示す如く、S1基板11の表面に形成されたS10<sub>2</sub>膜12上にP型S1薄膜13が形成され、該P型S1薄膜にゲートS10<sub>2</sub>膜

14、ゲート電極15及び $n^+$ ソース拡散層16と $n^+$ ドレイン拡散層17が形成されて成るのが通例であった。

〔発明が解決しようとする課題〕

しかし、上記従来技術によると、ドレインからの基板への正孔の注入、蓄積により、オフ耐圧が低下すると云う課題があった。

本発明は、かかる従来技術の課題を解決し、オフ耐圧の高いNチャネルMOS型薄膜トランジスタ構造を提供する事を目的とする。

〔課題を解決するための手段〕

上記課題を解決し、上記目的を達成するために、本発明は、〔NチャネルMOS型薄膜半導体装置に関し〕少なくとも $n^+$ ソース拡散層に隣接して、ゲート下に $p^+$ 拡散層を設ける手段をとる事を基本とする。

〔実施例〕

以下、実施例により本発明を詳述する。

第1図は本発明の一実施例を示すNチャネルMOS型薄膜トランジスタの断面図である。すなわち、S1基板1の表面に形成されたSiO<sub>2</sub>膜2上にP型Si薄膜3が形成され、該P型Si薄膜3にゲート電極5及びn<sup>+</sup>ソース拡散層6とn<sup>+</sup>ドレイン拡散層7とが形成されて成るのは従来の方式と同等であるが、ここでは、該従来の構造に加えるに、p<sup>+</sup>拡散層8及び8'を斜めイオン打込み法等により、少なくともp<sup>+</sup>拡散層8をn<sup>+</sup>ソース拡散層6に隣接する形で形成することにより、該p<sup>+</sup>拡散層8が正孔のシンク（吸入口）となり、従来の構造では、オフ耐圧が5V程度であったものが、5.5V以上10V程度に迄向上する事ができる。尚、p<sup>+</sup>拡散層8は、n<sup>+</sup>ソース拡散層6等の下に延在させて形成しても良い。

（発明の効果）

本発明によりNチャネルMOS型トランジスタのオフ耐圧を向上することができる効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示すNチャネルMOS型薄膜トランジスタの断面図である。

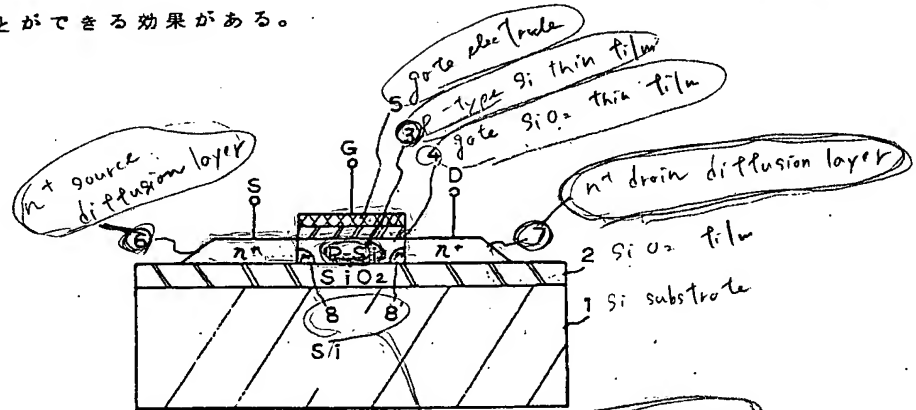
第2図は、従来技術によるNチャネルMOS型薄膜トランジスタの断面図である。

- 1, 11 ..... Si基板
- 2, 12 ..... SiO<sub>2</sub>膜
- 3, 13 ..... P型Si薄膜
- 4, 14 ..... ゲートSiO<sub>2</sub>膜
- 5, 15 ..... ゲート電極
- 6, 16 ..... n<sup>+</sup>ソース拡散層
- 7, 17 ..... n<sup>+</sup>ドレイン拡散層
- 8, 8' ..... p<sup>+</sup>拡散層

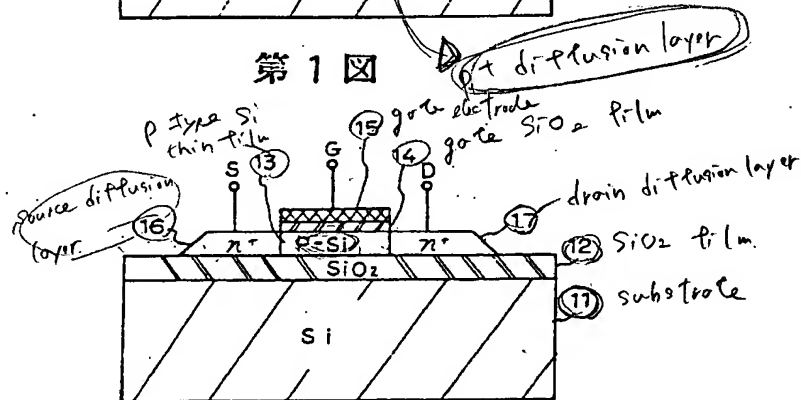
以上

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木喜三郎（他1名）



第1図



第2図